

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-191362

(43)Date of publication of application : 14.07.2005

(51)Int.Cl.

H01L 27/146

(21)Application number : 2003-432407

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 26.12.2003

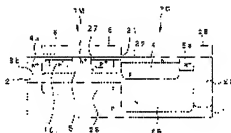
(72)Inventor : MIZUGUCHI AKIRA

(54) SOLID-STATE IMAGING APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To improve image quality by enhancing characteristics of a transistor which is formed adjacently to a photo-electric transducer, by avoiding the influence of a crystal defect which occurs on the interface of the drain region of the transistor.

SOLUTION: A drain region 8 of a modulation transistor TM in which a threshold voltage of a channel between a source region 7 and the drain region 8 is controlled by a light generation charge held by a modulation well 5, and which outputs a pixel signal corresponding to the light generation charge, is formed of a high-concentration n⁺-layer 8a surrounding a collection well 4 and the modulation well 5, and an N--layer which becomes a diffusion layer of a lower concentration than that of the n⁺-layer, while overlaying the n⁺-layer 8a around a ring gate 6, thereby avoiding the influences of a crystal defect in the drain region 8.



LEGAL STATUS

[Date of request for examination] 02.09.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the withdrawal examiner's decision of rejection or application converted registration]

[Date of final disposal for application] 22.03.2006

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2005-191362

(P2005-191362A)

(43) 公開日 平成17年7月14日 (2005.7.14)

(51) Int. Cl.⁷

H01L 27/146

F I

H01L 27/14

A

テーマコード (参考)

4M118

審査請求 有 請求項の数 4 O L (全 12 頁)

(21) 出願番号

特願2003-432407 (P2003-432407)

(22) 出願日

平成15年12月26日 (2003.12.26)

(71) 出願人 00002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(74) 代理人 100095728

弁理士 上柳 雅善

(74) 代理人 100107076

弁理士 藤岡 英吉

(74) 代理人 100107261

弁理士 須澤 修

(72) 発明者

水口 彰

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

Fターム (参考) 4M118 AA05 AB01 BA14 CA04 CA19
FA06 FA33 GB09

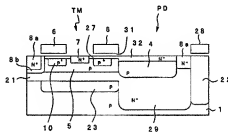
(54) 【発明の名称】 固体撮像素置

(57) 【要約】

【課題】 光電変換素子に隣接して形成されたトランジスタのドレイン領域の界面に発生する結晶欠陥の影響を回避してトランジスタの特性を改善し、高画質化を図る。

【解決手段】 変調用ウェル5に保持された光発生電荷によってソース領域7とドレイン領域8との間のチャネルの閾値電圧が制御されて光発生電荷に応じた画素信号を出力する変調トランジスタTMのドレイン領域8を、収集ウェル4及び変調用ウェル5を囲む高濃度のN⁺層8aと、リングゲート6の周辺でN⁺層8aを包み込んでN⁺層よりも低濃度の拡散層となるN⁻層とによって形成することで、ドレイン領域8の結晶欠陥の影響を回避する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

光電変換素子と該光電変換素子に隣接して形成されたトランジスタを含む固体撮像装置において、

一導電型の基板と、

前記光電変換素子の形成領域の前記基板に形成された逆導電型の第1ウェルと、

前記第1ウェル上に形成された一導電型の第2ウェルと、

前記トランジスタの形成領域の前記基板に形成され、前記第1ウェルに隣接して形成された逆導電型の第3ウェルと、

前記第3ウェル上に形成され、前記第2ウェルに隣接して形成された一導電型の第4ウェルと、

前記第4ウェル上方に形成された、開口部を有するゲートと、

前記開口部下方に形成された逆導電型のソースと、

前記第2ウェル及び前記第4ウェルの周囲に形成された逆導電型のドレインと、

前記ドレインを包み込むように形成され、該ドレインの不純物濃度より低い不純物濃度である逆導電型の拡散層と、を含むことを特徴とする固体撮像装置。

【請求項 2】

前記逆導電型の拡散層は、前記第2ウェル内に形成されていないことを特徴とする請求項1記載の固体撮像装置。

【請求項 3】

前記逆導電型の拡散層は、前記ゲートの周辺で前記ドレインを包み込むように形成されていることを特徴とする請求項1記載の固体撮像装置。

【請求項 4】

前記ゲート下方で、且つ、前記第4ウェル内に該第4ウェルよりも不純物濃度が高い一導電型の拡散層を有することを特徴とする請求項1～3のいずれかに記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高画質特性及び低消費電力特性を有する固体撮像装置に関する。

【背景技術】

【0002】

携帯電話などに搭載される固体撮像装置として、CCD（電荷結合素子）型のイメージセンサと、CMOS型のイメージセンサと、がある。CCD型のイメージセンサは画質に優れ、CMOS型のイメージセンサは消費電力が少なく、プロセスコストが低い。近年、高画質と低消費電力とを共に兼ね備えた閾値電圧変調方式のMOS型固体撮像装置が提案されている。閾値電圧変調方式のMOS型固体撮像装置については、例えば、特許文献1に開示されている。

【0003】

イメージセンサは、センサセルをマトリクス状に配列し、初期化、蓄積、読み出しの3つの状態を繰り返すことで、画像出力を得ている。特許文献1によって開示されたイメージセンサは、各単位画素が、蓄積を行うための受光ダイオードと、読み出しを行うためのトランジスタとを有している。

【0004】

図7は、特許文献1に開示されているイメージセンサを示す模式的断面図である。図7のイメージセンサは、基板100上において、各単位画素毎に、N型の拡散層118上に形成される受光ダイオード111と絶縁ゲート型電界効果トランジスタ112とが隣接配置されている。トランジスタ112のゲート電極113はリング状に形成されており、ゲート電極113の中央の開口部分には、ソース領域114が形成されている。

【0005】

受光ダイオード 111 の開口領域から入射した光によって発生した電荷（光発生電荷）は、ゲート電極 113 下方の P 型のウェル領域 116 に転送されて、この部分に形成されたキャリアポケット 117 に蓄積される。キャリアポケット 117 に蓄積された光発生電荷によってトランジスタ 112 の閾値電圧が変化する。これにより、入射光に対応した信号（画素信号）を、トランジスタ 112 のソース領域 114 から取り出すことができるようになる。

【0006】

尚、特許文献 1 の装置では、同一列に配列された単位画素の出力は、共通のソース線を通じて取り出されるようになっている。トランジスタ 112 のゲートに印加する電圧をライン毎に制御することで、共通のソース線に接続された各単位画素のうち所定のラインの単位画素からの選択的な読み出しを可能にしている。即ち、読み出しを行う単位画素（選択画素）のトランジスタ 112 には比較的高いゲート電圧を印加し、他の読み出しを行わない単位画素（非選択画素）のトランジスタ 112 には比較的低いゲート電圧を印加する。高いゲート電圧を印加したトランジスタの出力の方が低いゲート電圧を印加したトランジスタの出力よりも高く、ソース線から選択画素の出力を得ることができる。

【特許文献 1】特開 2001-177085 号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところで、図 7 に示すトランジスタ 112 は、低濃度ドレイン構造（Lightly Doped Drain；LDD 構造）を有しており、リング状のゲート電極 113 の外周を n 型の低濃度のドレイン領域 115a が囲んでいる。低濃度のドレイン領域 115a の外側周辺部には、受光部を避けて低濃度ドレイン領域 115a に接続するように高濃度のドレイン領域 115b が形成され、低濃度のドレイン領域 115a は、受光ダイオード 111 のウェル領域 116 の表層の不純物領域 115 と一体的に形成されている。

【0008】

このため、図 7 に示すトランジスタ 112 では、低濃度のドレイン領域 115a は、高濃度のドレイン領域 115b の内側に、高濃度のドレイン領域 115b よりも浅く（よりゲート電極 113 に近く）形成され、高濃度のドレイン領域 115b の下方部分がゲート電極 113 下方の P 型のウェル領域 116 に接続される構成となってしまう、N 型の高濃度のドレイン領域 115b の界面に残存する結晶欠陥により、P 型のウェル領域 116 におけるキャリア蓄積時に暗電流が発生する可能性が高くなる。

【0009】

すなわち、イオン注入による拡散層の形成においては、打ち込まれたイオンは、基板中の原子との衝突によりエネルギーを失い、最終的に、格子原子との散乱によるエネルギーロスによって停止する。従って、注入されるイオンの質量が大きく、加速エネルギーが大きい程、イオンが停止する界面で結晶欠陥が多く発生し、イオン注入後の熱処理によっても回復しきれずに残存してしまう。

【0010】

一般に、高濃度のドレイン領域を形成するため、低濃度のドレイン領域よりも質量の大きい不純物イオンを高エネルギーでイオン注入（例えば、ヒ素を用いて、80 KeV 程度の加速エネルギー、 2.0×10^{15} 個/cm²程度のドーズ量でイオン注入）することから、高濃度のドレイン領域 115b の界面に結晶欠陥が多く発生することは避けられない。このため、P 型のウェル領域 116 との PN 接合部に、結晶欠陥に起因する暗電流が発生して、変調トランジスタの特性が低下して画質が悪化する虞があり、ひいては画素欠陥に繋がって生産の歩留まりが低下する。

【0011】

尚、同じく P 型のウェル領域 116 に接する N 型の高濃度のソース領域 114 においても、同様に結晶欠陥が発生するが、一般的に、ソース領域は、ヒ素よりも質量が小さく拡散係数が高いリンを用いて形成されること、加速エネルギー、ドーズ量が小さく、ドレイ

ン領域に比べて有効エリアが小さいこと等から、欠陥密度が小さく、影響が少ない。

【0012】

本発明はかかる問題点に鑑みてなされたものであって、光電変換素子に隣接して形成されたトランジスタのドレイン領域の界面に発生する結晶欠陥の影響を回避してトランジスタの特性を改善し、高画質化を図ることのできる固体撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0013】

本発明に係る固体撮像装置は、光電変換素子と該光電変換素子に隣接して形成されたトランジスタを含む固体撮像装置において、一導電型の基板と、前記光電変換素子の形成領域の前記基板に形成された逆導電型の第1ウェルと、前記第1ウェル上に形成された一導電型の第2ウェルと、前記トランジスタの形成領域の前記基板に形成され、前記第1ウェルに隣接して形成された逆導電型の第3ウェルと、前記第3ウェル上に形成され、前記第2ウェルに隣接して形成された一導電型の第4ウェルと、前記第4ウェル上方に形成された、開口部を有するゲートと、前記開口部下方に形成された逆導電型のソースと、前記第2ウェル及び前記第4ウェルの周囲に形成された逆導電型のドレインと、前記ドレインを包み込むように形成され、該ドレインの不純物濃度より低い不純物濃度である逆導電型の拡散層と、を含むことを特徴とする。

【0014】

このような構成によれば、光の入射により光電変換素子形成領域で発生した電荷が、光電変換素子形成領域の第2ウェルに隣接するトランジスタ形成領域の第4ウェルに転送されて保持され、この保持された電荷により、第4ウェル上方のゲート下のチャンネルの閾値電圧が制御され、光発生電荷に応じた画素信号がトランジスタから出力される。このとき、トランジスタのドレインは、該ドレインの不純物濃度よりも低い不純物濃度の拡散層によって包み込まれているため、ドレインの界面に残存する結晶欠陥の影響を回避することができ、トランジスタの特性を改善して高画質化を図ることができる。

【0015】

また、前記逆導電型の拡散層は、前記第2ウェル内に形成されていないことを特徴とする。

【0016】

このような構成によれば、トランジスタのドレインが光電変換素子形成領域の第2ウェルを浸食することがなく、光感度の低下を招くことなくドレイン界面の結晶欠陥の影響を回避することができる。

【0017】

また、前記逆導電型の拡散層は、前記ゲートの周辺で前記ドレインを包み込むように形成されていることを特徴とする。

【0018】

このような構成によれば、ゲート周辺におけるドレイン界面の結晶欠陥を、低濃度の拡散層によってドレイン導電型の中性領域に抑えることができ、結晶欠陥の影響を効果的に回避してトランジスタの特性を改善し、高画質化を図ることができる。

【0019】

また、前記ゲート下方で、且つ、前記第4ウェル内に該第4ウェルよりも不純物濃度が高い一導電型の拡散層を有することを特徴とする。

【0020】

このような構成によれば、ドレイン界面の結晶欠陥の影響を回避しつつ、第4ウェル内のより不純物濃度の高い拡散層に光発生電荷を効率的に蓄積・保持することができ、光発生電荷-電圧変換効率を向上することが可能となる。

【発明を実施するための最良の形態】

【0021】

以下、図面を参照して本発明の実施の形態について詳細に説明する。図1～図6は本発

10

20

30

40

50

明の実施の一形態に係り、図1は固体撮像装置の断面形状を示す断面図、図2は固体撮像装置の1センサセルの平面形状を示す平面図、図3は素子の全体構造を等価回路によって示す回路ブロック図、図4及び図5は素子の製造方法を説明するための工程図、図6はレジストマスクのマスク領域を示す説明図である。

【0022】

<センサセルの構造>

本実施の形態における固体撮像装置は、単位画素であるセンサセルがマトリクス状に配列されて構成されたセンサセルアレイを有している。各センサセルは、入射光に応じて発生させた光発生電荷を収集・蓄積し、蓄積した光発生電荷に基づくレベルの画素信号を出力する。センサセルをマトリクス状に配列することで1画面の画像信号が得られる。

10

【0023】

先ず、図1及び図2を参照して各センサセルの構造について説明する。図2は1つのセンサセルを示している。また、本実施の形態は光発生電荷として正孔を用いる例を示している。光発生電荷として電子を用いる場合でも同様に構成可能である。なお、図1は図2のA-A'線で切断したセルの断面構造を示している。

【0024】

図2の平面図に示すように、単位画素であるセンサセル3内に、フォトダイオードPDと変調トランジスタTMとが隣接して設けられている。変調トランジスタTMとしては、例えば、NチャネルディプレッションMOSトランジスタが用いられる。単位画素は、概略的には長方形を有して、マトリクス配列の列又は行方向に対して斜めに向いており、一行内では特に分離されていないが、行間が分離されている。

20

【0025】

光電変換素子形成領域であるフォトダイオードPD形成領域においては、基板1の表面に開口領域2が形成され、基板1表面の比較的浅い位置には開口領域2よりも広い領域のP型のウェルであり、光電変換素子によって発生した光発生電荷を収集するウェル（以下、収集ウェルという）4が形成されている。収集ウェル4上には基板1の表面に、ピニング層としてのN型の拡散層32が形成されている。

【0026】

収集ウェル4に所定の距離だけ離間して、変調トランジスタTM形成領域にP型のウェルであり、収集ウェル4に収集された光発生電荷が転送されて変調トランジスタTMを制御するためのウェル（以下、変調用ウェルという）5が形成されている。

30

【0027】

変調用ウェル5上には、基板1表面にリング状のゲート（リングゲート）6が形成されており、リングゲート6の中央の開口部分の基板1表面近傍領域には、高濃度N型領域であるソース領域7が形成されている。リングゲート6の周囲には、N型のドレイン領域8が形成されている。このドレイン領域8は、後述するように、変調トランジスタTM周辺のみ、高濃度のN+層8aと、このN+層8aを包み込んでN+層8aよりも低濃度のN-層8bとから形成されている。高濃度のN+層8aの所定位置には、基板1表面近傍にドレインコンタクト領域（図示せず）が設けられている。

40

【0028】

変調用ウェル5は変調トランジスタTMのチャネルの閾値電圧を制御するものである。変調用ウェル5内には、リングゲート6の下にP型の高濃度領域であるキャリアポケット10（図1）が形成されている。変調トランジスタTMは、変調用ウェル5、リングゲート6、ソース領域7及びドレイン領域8によって構成されて、変調用ウェル5（キャリアポケット10）に蓄積された電荷に応じてチャネルの閾値電圧が変化するようにしている。

【0029】

ドレイン領域8及び拡散層32がドレイン電圧の印加によって正の電位にバイアスされることによって、フォトダイオードPDの開口領域2下方においては、拡散層32と収集ウェル4との境界面から空乏層が収集ウェル4の全体に広がってN型ウェル21及び29

50

に達する。一方、基板1とN型ウェル21との境界面から空乏層がN型ウェル21及び29全体に広がって、収集ウェル4に達する。空乏領域において、開口領域2を介して入射した光による光発生電荷が生じる。そして、上述したように、発生した光発生電荷は収集ウェル4に収集されるようになっている。

【0030】

収集ウェル4に収集された電荷は、変調用ウェル5に転送されてキャリアポケット10に保持される。これにより、変調トランジスタTMのソース電位は、変調用ウェル5に転送された電荷の量、即ち、フォトダイオードPDへの入射光に応じたものとなる。

【0031】

<センサセルの断面>

更に、図1を参照してセンサセル3の断面構造を詳細に説明する。図1は1単位画素(セル)のフォトダイオードPD形成領域と変調トランジスタTM形成領域とを示している。マトリクス配列の行間で隣接するセル同士のフォトダイオードPD形成領域と変調トランジスタTM形成領域との間に、素子分離用のアイソレーション領域22が設けられている。このアイソレーション領域22の基板表面側には、ゲート電極28が形成されている。

10

【0032】

基板1の比較的深い位置には、P型基板1の全域にN型ウェル21が形成されている。N型ウェル21は基板の比較的深い位置まで形成され、N-層を形成している。フォトダイオード形成領域には、第1ウェルとしてのN型の収集ウェル29と第2ウェルとしてのP型の収集ウェル4が形成されている。収集ウェル4上の基板表面側には、N-のピニング層である拡散層32が形成されている。

20

【0033】

一方、変調トランジスタTM形成領域においては、基板1上にP型埋込層23が形成されている。P型埋込層23上の第3ウェルとしてのN型ウェル21上には、第4ウェルとしてのP型の変調用ウェル5が形成されている。変調用ウェル5内には、P+拡散によるキャリアポケット10が形成されている。

【0034】

変調トランジスタTM形成領域においては、基板表面にゲート酸化膜31を介してリングゲート6が形成され、リングゲート6下の基板表面にはチャンネルを構成するN型の拡散層27が形成される。リングゲート6の中央の基板表面にはN+拡散層が形成されてソース領域7を構成する。また、リングゲート6の周囲の基板表面にはN型拡散層が形成されてドレイン領域8を構成する。チャンネルを構成するN型拡散層27はソース領域7とドレイン領域8とに接続される。

30

【0035】

本実施の形態においては、ドレイン領域8は、変調トランジスタTM周辺のみ、高濃度のドレイン領域であるN+層8aと、このN+層8aよりも不純物濃度が低い低濃度の拡散層であるN-層8bとによる二重ドレイン構造(Double Diffused Drain; DDD構造)で形成されている。N-層8bの不純物濃度は、基板の比較的深い位置まで達するN型ウェル21よりも高く、収集ウェル4上のN型の拡散層(ピニング層)32と略同等である。

40

【0036】

低濃度のN-層8bは、フォトダイオード形成領域のP型の収集ウェル4を侵食しないように収集ウェル4を避けて形成され、マトリクス配列の同一行内で隣接する各セル間において、各セルの収集ウェル4の間に高濃度のN+層8aが介在される一方、リングゲート6周囲では、低濃度のN-層8bが高濃度のN+層8aを包込んで変調用ウェル5に接続されるように構成されている。

【0037】

すなわち、変調トランジスタTMのドレイン領域となる高濃度のN+層8aは、直接、変調用ウェル5に接続されることなく、低濃度のN-層8bを介して接続される。この低

50

濃度のN-層8bにより、N+層8aの界面に残存する結晶欠陥領域を、P型の変調用ウェル5とのPN接合の空乏層の中でN型層に抑えるドレイン導電型の中性領域とすることができ、欠陥に捕獲される変調用ウェル5内の電荷の量を低減して暗電流の発生を抑え、変調トランジスタTMのソース電位をフォトダイオードPDへの入射光に応じたものとすることができる。

【0038】

<装置全体の回路構成>

次に、図3を参照して本実施の形態に係る固体撮像装置全体の回路構成について説明する。

【0039】

固体撮像装置61は図2のセンサセル3を含むセンサセルアレイ62とセンサセルアレイ62中の各センサセル3を駆動する回路63～65とを有している。センサセルアレイ62は、セル3をマトリクス状に配置して構成されている。センサセルアレイ62は、例えば、640×480のセル3と、オプティカルブラック（OB）のための領域（OB領域）を含む。OB領域を含めると、センサセルアレイ62は例えば712×500のセル3で構成される。

【0040】

各センサセル3は、光電変換を行うフォトダイオードPDと、光信号を検出して読み出すための変調トランジスタTMとを含む。フォトダイオードPDは入射光に応じた電荷（光発生電荷）を生じさせ、生じた電荷は収集ウェル4（図3では接続点PDWに相当）内に収集される。収集ウェル4に収集された光発生電荷は、変調トランジスタTMの閾値変調用の変調用ウェル5（図3では接続点TMWに相当）内のキャリアポケット10に転送されて保持される。

【0041】

変調トランジスタTMは、キャリアポケット10に光発生電荷が保持されることでバックゲートバイアスが変化したことと等価となり、キャリアポケット10内の電荷量に応じてチャンネルの閾値電圧が変化する。これにより、変調トランジスタTMのソース電圧は、キャリアポケット10内の電荷に応じたもの、即ち、フォトダイオードPDの入射光の明るさに対応したものとなる。

【0042】

のように各セル3は、変調トランジスタTMのリングゲート6、ソース領域7及びドレイン領域8に駆動信号が印加されることで、蓄積、転送、読み出し及び排出等の動作を呈する。セル3の各部には図3に示すように、垂直駆動走査回路63、ドレイン駆動回路64及び水平駆動走査回路65から信号が供給されるようになっている。垂直駆動走査回路63は、各行のゲート線67に走査信号を供給し、ドレイン駆動回路64は各列のドレイン領域8にドレイン電圧を印加する。また、水平駆動走査回路65は、各ソース線66に接続されたスイッチ68に駆動信号を供給する。

【0043】

各セル3は、センサセルアレイ62に水平方向に配列された複数のソース線66と垂直方向に配列された複数のゲート線67との交点に対応して設けられている。水平方向に配列された各ラインの各セル3は、変調トランジスタTMのリングゲート6が共通のゲート線67に接続され、垂直方向に配列された各列の各セル3は、変調トランジスタTMのソースが共通のソース線66に接続される。

【0044】

複数のゲート線67の1つにオン信号（選択ゲート電圧）を供給することで、オン信号が供給されたゲート線67に共通接続された各セルが同時に選択されて、これらの選択されたセルの各ソースから各ソース線66を介して画素信号が出力される。垂直駆動走査回路63は1フレーム期間においてゲート線67にオン信号を順次シフトさせながら供給する。オン信号が供給されたラインの各セルからの画素信号が1ライン分同時に各ソース線66から読み出されて各スイッチ68に供給される。1ライン分の画素信号は水平駆動走

10

20

30

40

50

査回路 65 によって、スイッチ 68 から画素毎に順次出力（ライン出力）される。

【0045】

各ソース線 66 に接続されたスイッチ 68 は、共通の定電流源（負荷回路）69 を介して映像信号出力端子 70 に接続されている。各センサセル 3 の変調トランジスタ TM のソースは定電流源 69 に接続されることになり、センサセル 3 のソースフォロワ回路が構成される。

【0046】

<作用>

上述したように、固体撮像装置 61 は、同一列の全ての変調トランジスタのソース領域を共通接続して、選択行と非選択行とで変調トランジスタのゲートに印加する電圧を制御することで、所望の行の変調トランジスタのソース電圧を検出するようになっている。即ち、選択行の全画素について、ゲート電極の電位（Vg）を高く設定し、非選択行のゲート電極の電位（Vg）を接地電位とする。

【0047】

また、各単位画素同士のばらつきや、各種ノイズの除去のために、読出し動作において、選択行の光信号の読出し動作に続いて、非選択行の画素への電位付与状態はそのままにして、その選択行の画素を初期化し、引き続き、初期化した状態での閾値電圧を読み出す。そして、光発生電荷量に対応する閾値電圧と初期化した状態での閾値電圧の差の信号を算出し、正味の光信号成分を映像信号として出力する。

【0048】

具体的には、センサセル 3 のフォトダイオード PD の光検出及び光発生電荷の収集動作並びに変調トランジスタ TM の読み出し動作は、以下のように行われる。

【0049】

まず、変調トランジスタ TM のリングゲート 6 に低いゲート電圧を印加し、ドレイン領域 8 にトランジスタの動作に必要な例えば約 2～3 V の電圧（VDD）を印加する。これにより、P 型ウェル 4 及び 5 が空乏化する。また、ドレイン領域 8 とソース領域 7 との間に電界が生じる。

【0050】

フォトダイオード PD の開口領域 2 を介して入射した光が、シリコン中に入射することで、電子-正孔対（光発生電荷）が生じる。ここで発生した正孔が空乏化した P 型ウェルである 4 及び 5 に到達すると、高濃度の P 型不純物が導入されているキャリアポケット 10 にポテンシャル勾配により転送され、蓄積される。

【0051】

キャリアポケット 10 に蓄積された光発生電荷によって、変調トランジスタ TM の閾値電圧が変化する。この状態で、選択画素のリングゲート 6 に例えば約 2～3 V のゲート電圧（選択ゲート電圧）を印加し、ドレイン領域 8 に例えば約 2～3 V の電圧 VDD を印加する。更に、変調トランジスタ TM のソース領域 7 に定電流源 69 によって一定の電流を流す。これにより、変調トランジスタ TM はソースフォロワ回路を形成し、光発生電荷による変調トランジスタ TM の閾値電圧の変動に追従してソース電位が変化して、出力電圧が変化する。即ち、入射光に応じた出力が得られる。

【0052】

初期化時には、キャリアポケット 10、収集ウェル 4 及び変調用ウェル 5 内に残留する電荷を排出する。例えば、変調トランジスタ TM のドレイン領域 8 及びリングゲート 6 に 7～8 V の高い正電圧を印加する。変調用ウェル 5 下方の N 型ウェル 21 の厚さは薄く、また、N 型ウェル 21 に面する基板 1 には高濃度の P 型埋込層 23 が形成されているので、リングゲート 6 に印加した電圧による影響は変調用ウェル 5 及びその隣接領域にのみ作用する。即ち、変調用ウェル 5 に急激なポテンシャル変化が生じ、光発生電荷を基板 1 側に掃き出すような強い電界が主として変調用ウェル 5 に印加されて、残留した光発生電荷は、低いリセット電圧でより確実に基板 1 に排出される。

【0053】

10

20

30

40

50

初期化後において、非選択画素のリングゲートには、比較的低い電圧値の非選択ゲート電圧を印加すると共に、選択画素のリングゲート 6 には比較的高い電圧値の選択ゲート電圧を印加する。そして、共通接続されたソース線 6 6 から、選択画素の初期化後の信号出力を得る。

【0054】

本実施の形態においては、変調トランジスタ M は、高濃度の N+層 8 a を低濃度の N-層 8 b で包み込む DDD 構造のドレイン領域 8 を有している。この DDD 構造のドレイン領域 8 により、リングゲート 6 近傍でのチャンネル水平方向電界を緩和し、ホットキャリアによる劣化を防止すると共に、高濃度の N+層 8 a の界面に残存する結晶欠陥に交調用ウェル 5 内の電荷が捕獲されることを防止し、変調トランジスタ M の特性を改善して画質向上を図ることができる。

10

【0055】

<プロセス>

次に、素子の製造方法について図 4 及び図 5 の工程図を参照して説明する。図 4 及び図 5 は図 2 の A-A' 切断線の位置における断面を示している。これらの図において、基板上の矢印はイオン打ち込みを行うことを示している。

【0056】

図 4 (a) に示すように、用意した P 基板 1 に、例えば燐 (P) イオンをイオン打ち込みして、N 型ウェル 2 1 を形成する。次に、フォトダイオード形成領域の基板 1 表面側において、例えばボロンのイオン打ち込みを行うことによって、P 型の収集ウェル 4 を形成し、例えば燐イオンを打ち込むことにより、N 型の収集ウェル 2 9 を形成する。また、基板 1 表面にゲート酸化膜 3 1 を熱酸化によって形成する。

20

【0057】

次に、図 4 (b) に示すように、素子分離用のアイソレーション領域 2 2 を形成する。また、所定のレジストマスクを用いて、変調トランジスタ形成領域において、P 型不純物を深くイオン注入して、P 型埋込層 2 3 を形成する。更に、同一のレジストマスクを用いて、P 型不純物を浅くイオン注入し、N 型ウェル 2 1 の表層に P 型の交調用ウェル 5 を形成する。

【0058】

次に、図 4 (c) に示すように、リングゲート 6 下方の交調用ウェル 5 内に、濃い P+ 拡散層によるキャリアポケット 1 0 を形成する。次に、キャリアポケット 1 0 上の基板表面近傍に、変調トランジスタ M のチャネルを得るための N 型拡散層 2 7 を形成する。次に、図 4 (d) に示すように、ゲート酸化膜 3 1 上に、変調トランジスタ M のリングゲート 6 を形成し、また、アイソレーション領域 2 2 上に、ゲート電極 2 8 を形成する。

30

【0059】

次に、図 5 (a) に示すように、フォトダイオード形成領域を覆うレジストマスクを形成し、このレジストマスク及びリングゲート 6 をマスクとして、例えば、リンを用いた N+ の不純物注入を行って、ソース領域 7 を形成する。次に、レジストマスクを除去してソース領域 7 を覆う新たなレジストマスクを形成し、フォトダイオード形成領域内の基板表面に、N 型の拡散層 3 2 を形成する。

40

【0060】

次に、図 5 (b) に示すように、フォトダイオード形成領域の収集ウェル 4 より広い領域とリングゲート 6 外周より若干狭い領域とを覆うレジストマスク 3 5 を形成し、このレジストマスク 3 5 及びリングゲート 6 をマスクとして、N 型不純物をリングゲート 6 下方に向かって斜めにイオン注入し、リングゲート 6 下方を含む所定範囲にのみ、低濃度の N-層 8 b を形成する。

【0061】

次に、レジストマスク 3 5 を除去した後、図 5 (c) に示すように、フォトダイオード形成領域とリングゲート 6 外周より若干狭い領域とを覆うレジストマスク 3 6 を形成し、このレジストマスク 3 6 及びリングゲート 6 をマスクとして、例えば、ヒ素を用いた N+

50

の不純物注入を行って、低濃度のN-層8b内に、高濃度のN+層8aを浅く形成する。これにより、低濃度のN-層8bによって高濃度のN+層8aが包み込まれる。

【0062】

ドレイン領域8における低濃度のN-層8bを形成するためのレジストマスク35は、図6(a)に示すように、収集ウェル4より広いマスク領域と、変調トランジスタTMのソース領域7を覆ってリングゲート6外周より狭く設定されたマスク領域とを有している。

【0063】

また、ドレイン領域8における高濃度のN+層8aを形成するためのレジストマスク36は、図6(b)に示すように、イオン注入時の拡散を考慮して収集ウェル4の領域を侵食することなく収集ウェル4と同等の領域を覆うように設定されたマスク領域と、このマスク領域幅のまま変調トランジスタTMのソース領域を覆うマスク領域とを有している。すなわち、レジストマスク35は、レジストマスク36よりも広い領域で収集ウェル4をマスクするように設定されている。

【0064】

本形態においては、まず、レジストマスク35を用いることで、収集ウェル4を侵食することなくリングゲート6外周下部へのイオン注入が可能となり、同一行の隣接セルの収集ウェル4を除くリングゲート6間に、低濃度のN-層8bが形成される。次に、レジストマスク36を用いたイオン注入により、収集ウェル4の周囲に高濃度のN+層8aが形成されると共に、リングゲート6周囲で低濃度のN-層8b内に包み込まれる高濃度のN+層8aが形成される。これにより、変調トランジスタTMにおいて、DDD構造のドレイン領域8が形成される。

【0065】

尚、以上の説明では、低濃度のN-層8bを形成した後、高濃度のN+層8aを形成する例について説明しているが、先に高濃度のN+層8aを形成し、次に、低濃度のN-層8bを形成するようにしても良い。

【0066】

<実施の形態の効果>

このように本実施の形態においては、変調トランジスタTMのドレイン領域8をDDD構造で形成することにより、ドレイン領域8と変調用ウェル5とのPN接合面において、結晶欠陥に起因する暗電流を防止することができる。これにより、変調トランジスタTMの特性を改善して画質向上を図ると共に、画素欠陥の発生を抑制して生産歩留りを向上することができる。しかも、DDD構造のドレイン領域8を形成する際に、高濃度のN+層8aを包み込む低濃度のN-層8bを、収集ウェル4を除くリングゲート6周囲の領域に形成するため、フォトダイオードPD形成領域が小さくなって感度低下を招くこともない。

【図面の簡単な説明】

【0067】

【図1】 固体撮像装置の断面形状を示す断面図

【図2】 固体撮像装置の1センサセルの平面形状を示す平面図

【図3】 素子の全体構造を等価回路によって示す回路ブロック図

【図4】 素子の製造方法を説明するための工程図

【図5】 素子の製造方法を説明するための工程図

【図6】 レジストマスクのマスク領域を示す説明図

【図7】 特許文献1に開示されているイメージセンサを示す模式的断面図

【符号の説明】

【0068】

1…基板

4…収集ウェル（第2ウェル）

5…変調用ウェル（第4ウェル）

10

20

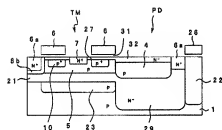
30

40

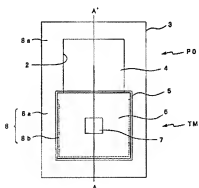
50

- 6…リングゲート
 7…ソース領域
 8…ドレイン領域
 8a…高濃度のN⁺層（高濃度のドレイン領域）
 8b…低濃度のN⁻層（低濃度の拡散層）
 21…N型ウェル（第3ウェル）
 29…N型ウェル（第1ウェル）
 PD…フォトダイオード
 TM…変調トランジスタ

【図1】



【図2】



【図3】

